

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112782

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H03K 5/13  
H03K 19/0175

(21)Application number : 04-283444

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 30.09.1992

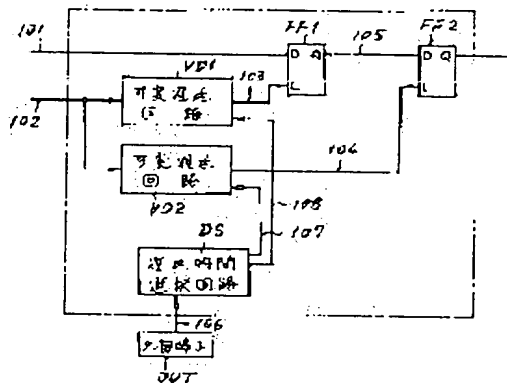
(72)Inventor : TACHIBANA YUKIO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

PURPOSE: To easily design a semiconductor integrated circuit by eliminating a need to take the margin to the variance for production into consideration at the time of designing the circuit.

CONSTITUTION: Plural variable delay circuits VD1 and VD2 different by delay time are inserted between an input signal 102 and flip flops FF1 and FF2, and variable delay circuits VD1 and VD2 are selected based on a control signal 106 from the outside by output signals 107 and 108 from a delay time selecting circuit DS to control the delay time from the outside.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-112782

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 5/13  
19/0175

識別記号

庁内整理番号

4239-5 J

F I

技術表示箇所

8941-5 J

H 0 3 K 19/ 00

1 0 1 N

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-283444

(22)出願日 平成4年(1992)9月30日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会  
社

神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 橘 幸男

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

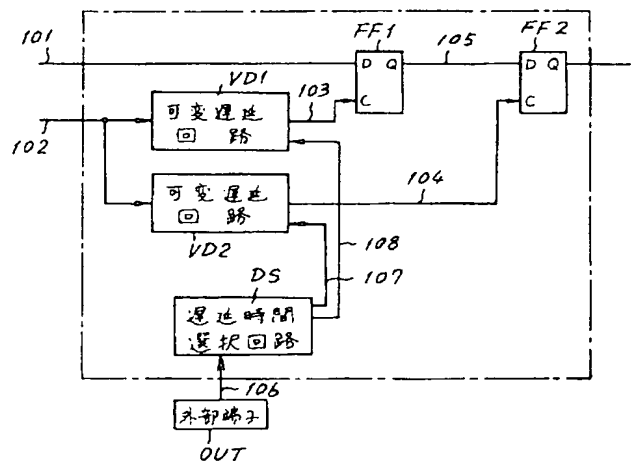
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 半導体集積回路の設計時に、製造時のバラツキに対するマージンを考慮することをなくし、設計の容易化を可能とする。

【構成】 入力信号102とフリップフロップFF1、FF2の間に、遅延時間の異なる複数の可変遅延回路VD1、VD2が挿入され、外部からの制御信号106に基づいて遅延時間選択回路DSからの出力信号107、108で可変遅延回路VD1、VD2を選択し、遅延時間を外部から制御することを可能とする。



FF1, FF2: フリップフロップ

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 CMOSトランジスタにより構成され、入力信号を遅延させる遅延時間制御手段を含む半導体集積回路において、前記遅延時間制御手段は、外部からの制御信号により対応する論理回路における遅延時間を切替選択するための選択信号を出力する遅延時間選択回路と、前記入力信号及び選択信号により論理遅延時間が制御調整されて前記入力信号に対応する論理信号を出力する可変遅延回路とを含むことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に外部からの制御により内部論理回路の遅延時間が制御調整されるCMOSトランジスタにより形成される半導体集積回路に関する。

## 【0002】

【従来の技術】従来のCMOSトランジスタにより構成される半導体集積回路の一例を図3に示す。同図に示すように、入力信号113及び110に対して、2つのフリップフロップFF11、FF12と、バッファB11、B12を有している。この回路において、2つの経路、即ち第1のパスP1と第2のパスP2のそれぞれの経路に対応する遅延時間を計算して、この回路が如何なる状態においても常時安定の動作状態を維持することができるかを事前検討する必要がある。

【0003】図4は図3の回路動作を説明するための信号タイミング図で、それぞれバッファB11及びB12に入力される入力信号110と、フリップフロップFF11から出力される信号112と、フリップフロップFF12に入力される入力信号111を示している。時間T1及びT2はそれぞれ信号112及び111の半導体集積回路の製造時に起因する第1のパスP1及び第2のパスP2における遅延時間のバラツキ範囲を表しており、信号112及び111のタイミングによっては、前記時間T1及びT2がオーバーラップすることになり、信号112及び111の変化点が近づきフリップフロップFF12の出力が信号112の変化前の値を取る誤動作の要因となる。このような誤動作のおそれのある場合には、通常第1及び第2のパスP1、P2における遅延時間のバラツキに対応して充分なマージンを考慮した遅延回路を挿入することが行われる。

【0004】前記遅延回路の挿入を行った例を図5に示す。同図のように、この回路は図3で示した回路と同じ回路のフリップフロップFF11、FF12の間に遅延回路Dを挿入している。この遅延回路Dの挿入により、フリップフロップFF11から出力される信号112'は充分にマージンが考慮され、第1のパスP1又は第2のパスP2における遅延時間が生じても、バッファB12から出力される信号111と決してオーバーラップする

ことがない。

【0005】図6は図5の回路動作における信号110、112'、111のタイミング図である。第2のパスP2の遅延時間のバラツキに対応して第1のパスP1には遅延回路Dにより充分な遅延時間が与えられるため、第1のパスP1における信号112'の変化タイミングT1はバッファB12から出力される信号111の変化タイミングT2による影響から開放され、常時安定な動作状態を保持することができる。

## 10 【0006】

【発明が解決しようとする課題】従来の半導体集積回路では、製造時に起因する論理回路の遅延時間のバラツキに対応して回路の安定動作の可否に関する事前検討を行い、誤動作のおそれのある回路については充分な設計マージンを考慮して所定の遅延回路を付加することが必要となり、回路設計が複雑化されるという問題がある。本発明の目的は、半導体集積回路製造時のバラツキに対するマージンを考慮することがない設計の容易な半導体集積回路を提供することにある。

## 20 【0007】

【課題を解決するための手段】本発明は、入力信号を遅延させる遅延時間制御手段を備えており、この遅延時間制御手段は、外部からの制御信号により対応する論理回路における遅延時間を切替選択するための選択信号を出力する遅延時間選択回路と、前記入力信号及び選択信号により論理遅延時間が制御調整されて前記入力信号に対応する論理信号を出力する可変遅延回路とを含んでいる。

## 【0008】

30 【実施例】次に、本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。同図において、FF1及びFF2はフリップフロップ、VD1及びVD2は可変遅延回路、OUTは外部に設けられている外部端子、DSは遅延時間選択回路である。また、101、102は入力信号、106は遅延時間選択回路DSを制御するための制御信号である。

【0009】図2は前記可変遅延回路VD2と遅延時間選択回路DSの詳細図である。可変遅延回路VD2において、B1～B3はバッファ、INV1～INV3はインバータ、TG1～TG3はトランスファゲートである。また、遅延時間選択回路DSにおいて、DECはデコーダ、LA1～LA4はラッチ、NOR1、NOR2はNOR回路である。

40 【0010】以上の構成において、入力信号101はフリップフロップFF1のD入力として入力され、入力信号102は可変遅延回路VD1、VD2に入力される。また、外部端子OUTからの制御信号106が遅延時間選択回路DSに入力され、その出力信号107、108も可変遅延回路VD1、VD2に入力される。更に、可変遅延回路VD1、VD2の出力はそれぞれフリップフ

3

ロップFF1, FF2のC入力に入力される。前記遅延時間選択回路DSは、デコーダDECの出力によりラッチLA1~LA4のいずれかが選択され、それぞれデータをラッチさせる。また、可変遅延回路VD2は遅延時間選択回路DSの出力信号107を介してトランスファゲートTG1~TG3のいずれか1つをオンさせる。前記遅延時間選択回路DSと可変遅延回路VD1, VD2の動作を介して半導体集積回路の外部に設けられている外部端子5の制御作用により対応する遅延時間が制御調整される。

【0011】次に、図2を参照して可変遅延回路VD2及び遅延時間選択回路DSを含む回路の動作を説明する。

(a) 定常の場合

外部端子OUTを介して制御信号106によりデコーダDECのA及びB入力にそれぞれLレベルが入力されると、デコーダDECの出力Y0及びY1はそれぞれH及びLとなり、ラッチ回路LA1はデータ入力状態、ラッチ回路LA2はラッチ状態となる。この状態でラッチ回路LA1のD入力にLを入力する。同様にデコーダDECのA及びB入力にそれぞれL及びHレベルが入力されると、デコーダDECの出力Y0及びY1はそれぞれL及びHとなり、ラッチ回路LA1はラッチ状態、ラッチ回路LA2はデータ入力状態となる。この状態でラッチ回路LA2のD入力にLを入力する。以上の操作によりラッチ回路LA1及びLA2にそれぞれLレベルがラッチされる。ラッチ回路LA1, LA2及びNOR回路NOR1の出力はそれぞれL, L及びHとなり、トランスファゲートTG1, TG2, TG3の状態はそれぞれオフ、オフ、オンとなる。したがって、入力信号102はバッファB1, B2の2つのバッファを介して出力信号104として出力される。

【0012】(b) 遅延時間を早くする場合

前記同様にラッチ回路LA1, LA2にそれぞれH及びLをラッチさせる。ラッチ回路LA1, LA2及びNOR回路NOR1の出力はそれぞれH, L, Lとなり、トランスファゲートTG1, TG2, TG3の状態はそれぞれ、オン、オフ、オフとなる。したがって、入力信号102はバッファB1の1つのバッファを介して出力信号104として出力される。

【0013】(c) 遅延時間を遅くする場合

前記同様にラッチ回路LA1, LA2にそれぞれL, Hをラッチさせる。ラッチ回路LA1, LA2及びNOR回路NOR1の出力はそれぞれL, H, Lとなり、トランスファゲートTG1, TG2, TG3の状態はそれぞれオフ、オン、オフとなる。したがって、入力信号10

4

2はバッファB1, B2, B3の3つのバッファを介して出力信号104として出力される。

【0014】したがって、図3に示した回路において、バッファB11, B12を図1のように可変遅延回路VD1, VD2、外部端子OUT、遅延時間選択回路DSで置き換えることによって、図1のフリップフロップFF1の出力信号105と可変遅延回路VD2の出力信号104の間にオーバーラップが生じた場合、可変遅延回路VD1の遅延を早くするか、若しくは可変遅延回路VD2の遅延を遅くすることによってオーバーラップすることなく正常に動作させることができる。即ち、前記したように、半導体集積回路を作成した後、図1の外部端子OUTの制御信号106により遅延時間選択回路DSを介して可変遅延回路VD1, VD2におけるトランスファゲートを制御し、信号経路を変えることによって遅延時間の補正を行うことが可能となる。

【0015】

【発明の効果】以上説明したように本発明は、入力信号を遅延させる遅延時間制御手段を、外部からの制御信号により遅延時間を切替選択するための選択信号を出力する遅延時間選択回路と、入力信号及び選択信号により入力信号に対応する論理信号を出力する可変遅延回路とを含む構成としているので、半導体集積回路の回路設計時には、半導体集積回路製造時のバラツキに対する遅延時間のマージンを一切考慮する必要がなくなり、回路設計効率の改善を図ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の一実施例のブロック図である。

【図2】図1における可変遅延回路と遅延時間選択回路の詳細ブロック図である。

【図3】従来の一例の回路図である。

【図4】図3の信号のタイミング図である。

【図5】従来他の例の回路図である。

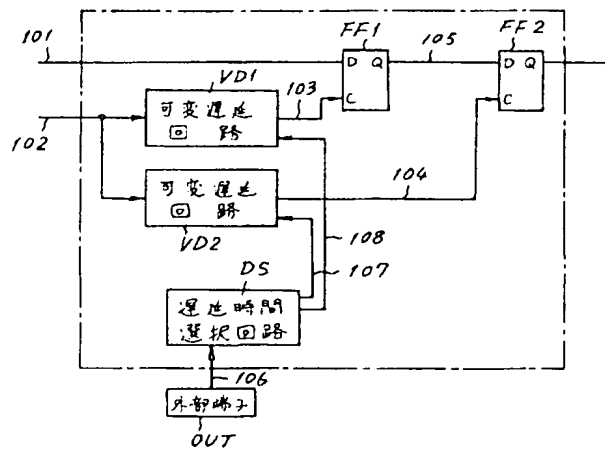
【図6】図5の信号のタイミング図である。

【符号の説明】

FF1, FF2 フリップフロップ  
VD1, VD2 可変遅延回路  
DS 遅延時間選択回路  
B1~B3 バッファ  
TG1~TG3 トランスファゲート  
INV1~INV3 インバータ  
NOR1, NOR2 NOR回路  
DEC デコーダ  
LA1~LA3 ラッチ

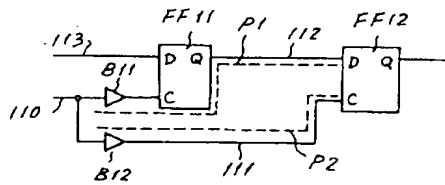
BEST AVAILABLE COPY

【図1】

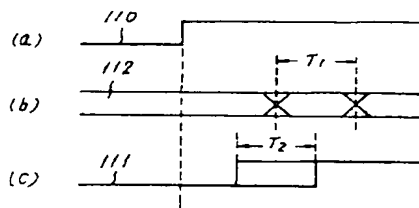


FF1, FF2: 7'777077

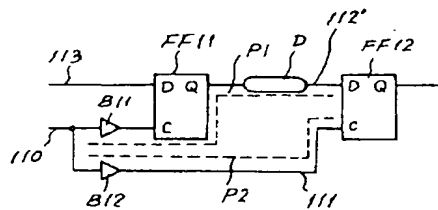
【図3】



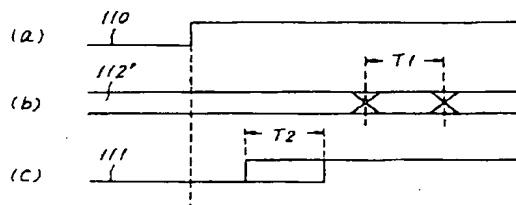
【図4】

 $T_1, T_2$ : バラツキ範囲

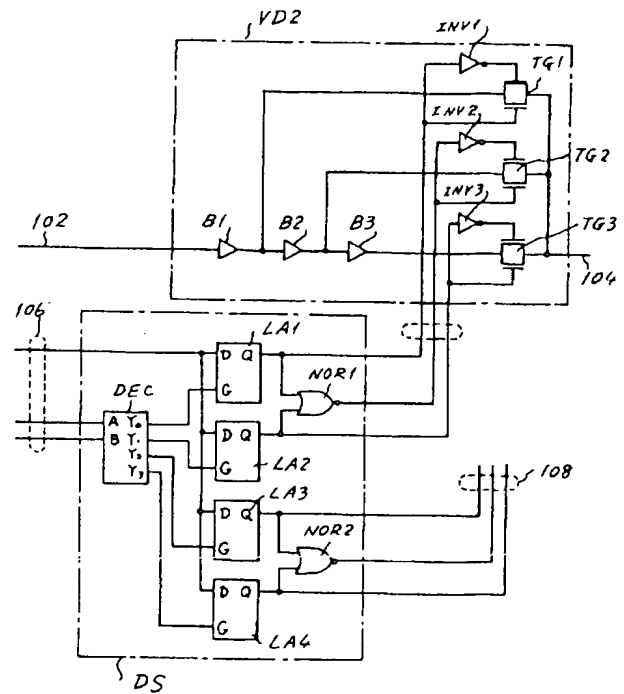
【図5】



【図6】



【図2】



B1 ~ B3: 7'777

TG1 ~ TG3: トランスファート

DEC: テコ-7

LA1 ~ LA4: 5, 4

BEST AVAILABLE COPY